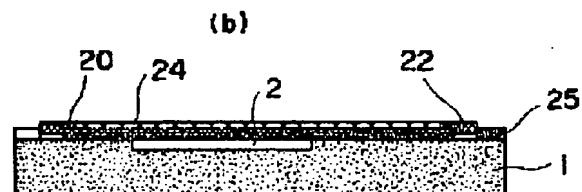
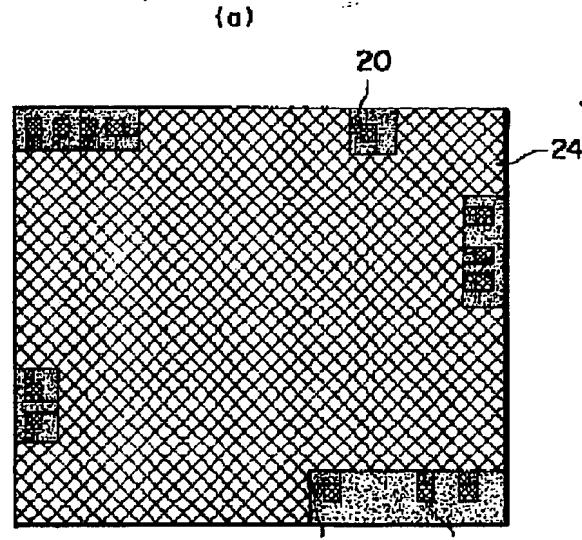


PUBLICATION NUMBER : 07245386
 PUBLICATION DATE : 19-09-95
 APPLICATION DATE : 02-03-94
 APPLICATION NUMBER : 06032404
 APPLICANT : HAMAMATSU PHOTONICS KK;
 INVENTOR : YAMAMOTO AKINAGA;
 INT.CL. : H01L 27/148 H01L 21/66 H01L 23/00
 TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To effectively protect a gate insulation film by eliminating breakdown of a gate insulation film due to static electricity by executing a rear process and an assembly process after a bonding pad shortcircuits a metal layer.

CONSTITUTION: A process up to a first layer Al wiring (a surface process) is executed. Then, a second layer Al wiring is executed. All the bonding pads 22 are connected by the second layer Al layer (a shortcircuiting wiring 20 and a second layer metal wiring 24) and a part 24 of 'solid' Al is also used for reinforcement of an area around a ground wiring. Silicon nitride is deposited in a rear of a chip. In the process, a chip surface is inevitably brought into contact with a metal constituting a chamber. Therefore, when grounding of a plasma etcher is poor and a device is in some electric potential, unexpected potential differential is generated between a gate and a substrate in a conventional structure and a gate oxide film is broken. In this example, all the bonding pads 22 are surely shortcircuited by the aluminum wirings 20, 24.

COPYRIGHT: (C)1995,JPO

FP04-0065-00
EP- HP
'07.4.27
SEARCHED

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-245386

(43)公開日 平成7年(1995)9月19日

(51)Int.Cl.

H 01 L 27/148

21/66

23/00

識別記号

府内整理番号

F I

技術表示箇所

B 7630-4M

B

7376-4M

H 01 L 27/14

B

審査請求 未請求 請求項の数 3 O.L. (全 7 頁)

(21)出願番号

特願平6-32404

(22)出願日

平成6年(1994)3月2日

(71)出願人

000236436

浜松市トニクス株式会社

静岡県浜松市市野町1126番地の1

(72)発明者

村松 雅治

静岡県浜松市市野町1126番地の1 浜松市

トニクス株式会社内

(72)発明者

須山 本比呂

静岡県浜松市市野町1126番地の1 浜松市

トニクス株式会社内

(72)発明者

山本 晃永

静岡県浜松市市野町1126番地の1 浜松市

トニクス株式会社内

(74)代理人

弁理士 長谷川 芳樹 (外3名)

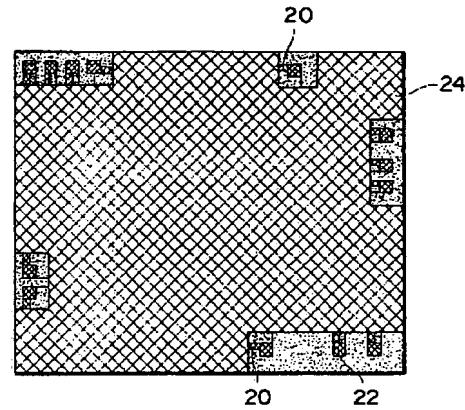
(54)【発明の名称】 半導体デバイスの製造方法

(57)【要約】 (修正有)

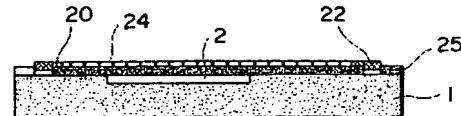
【目的】 裏面照射型CCDイメージセンサの製造プロセスを改良する。

【構成】 半導体チップの表面側に光電変換部と電荷転送用の電極を含むCCD部を形成すると共に、このCCD部に接続された複数のボンディングパッドを形成する第1の工程と、半導体チップの表面側に、複数のボンディングパッドを短絡するメタル層を形成する第2の工程と、半導体チップの光電変換部に対応する領域を裏面から薄化する第3の工程と、半導体チップをパッケージにマウントし、パッケージの端子とボンディングパッドをボンディングする第4の工程とボンディングパッドとメタル層の短絡箇所を切断する第5の工程とを備える。ボンディングパッドがメタル層で短絡された後に、裏面プロセスと組み立てプロセスが実行されるので、静電気によりCCD部のゲート酸化膜が破壊されることがない。

(a)



(b)



1

2

【特許請求の範囲】

【請求項1】 半導体チップの表面側に光電変換部と電荷転送用の電極を含むCCD部を形成すると共に、このCCD部に接続された複数のボンディングパッドを当該半導体チップの表面側に形成する第1の工程と、前記半導体チップの表面側に、前記複数のボンディングパッドを短絡するメタル層を形成する第2の工程と、前記半導体チップの周辺領域に囲まれた少なくとも前記光電変換部に対応する領域を裏面から薄化する第3の工程と、前記半導体チップをパッケージにマウントし、該パッケージの端子と前記ボンディングパッドとの間をボンディングする第4の工程と前記ボンディングパッドと前記メタル層の短絡箇所を切断して裏面照射型CCDイメージセンサとする第5の工程とを備えることを特徴とする半導体デバイスの製造方法。

【請求項2】 半導体チップの表面側に光電変換部と電荷転送用の電極を含むCCD部を形成すると共に、このCCD部に接続された複数のボンディングパッドを当該半導体チップの表面側に形成する第1の工程と、プローブ検査により前記CCD部の良否を前記半導体チップごとに判別する第2の工程と、前記半導体チップの表面側に、前記複数のボンディングパッドを短絡するメタル層を形成する第3の工程と、前記半導体チップの周辺領域に囲まれた少なくとも前記光電変換部に対応する領域を裏面から薄化する第4の工程と、前記第2の工程で良品とされた前記半導体チップをパッケージにマウントし、該パッケージの端子と前記ボンディングパッドとの間をボンディングする第5の工程と前記ボンディングパッドと前記メタル層の短絡箇所を切断して裏面照射型CCDイメージセンサとする第6の工程とを備えることを特徴とする半導体デバイスの製造方法。

【請求項3】 前記メタル層は前記CCD部を覆うように形成することを特徴とする請求項1または2に記載の半導体デバイスの製造方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体デバイスの製造方法に係り、特に詳細には裏面照射型のCCDイメージセンサの製造に使用される。

【0002】

【従来の技術】 従来から一般に、埋め込みチャネル型CCDの構造は次のようにになっている。

【0003】 基板としてはP/P⁺型エピタキシャル成長ウエフを使用し、このP型エピタキシャル層の中にN型ウェルが形成してある。N型ウェル内にはN⁺型のリセットドレインとフローティングディフュージョンが形成されている。転送クロックがゲート酸化膜上の転送電

極に与えられると、信号電荷を蓄積したり転送するためのポテンシャル井戸がN型ウェル層に形成される。アウェットゲートを通って信号電荷が注入されるフローティングディフュージョンは川力FETのゲートに接続されており、信号電荷はインピーダンス変換されて出力される。信号読みしが終了するとリセットゲートがオンし、フローティングディフュージョンはリセットされる。

【0004】 ところで、UV光、軟X線、電子線入力に對して感度を有するイメージセンサには、裏面入射型CCDが用いられる。即ち、UV光、軟X線、電子線は吸収係数が大きいので、ポリシリコン電極等の邪魔になるものが人射面に無いCCD、つまりCCD形成面の裏面から入射を行う裏面入射型CCDが好適である。但し、通常のシリコン基板の厚みは400~500μmあるので、そのままでは裏面入射には使えない。そこで、シリコン基板をメカニカル又はケミカルに薄形化している。図1は、薄形化したCCDの断面模型図をあらわしている。P型エピタキシャル成長層1上にはN型ウェル層2が形成され、その上にゲート酸化膜17が形成されている。そして、その上に転送電極15に連なるポリシリコン電極16が形成されている。このようなチップは、光電変換部において裏面から薄化され、裏面にはSiO₂からなる裏面入射酸化膜18が形成されている。

【0005】 更に、図1の構造において、裏面の入射面付近で生じた信号電荷が、CCDのポテンシャル井戸の方向に移動しやすくなるような、いわゆるビルトインポテンシャル（内部電界）を裏面の入射面に形成する必要がある。この作業はいわゆる活性化と呼ばれるものであり、P型シリコンの裏面入射面に正孔を蓄積させることから、アキュームレーションとも言われ、代表的にはP型シリコンに対してはポロン原子をイオン注入することで達成される。図2はこれを説明しており、図中の点線は裏面入射面に活性化プロセスを施していない場合であり、裏面入射面付近で生じた信号電荷は、むしろ裏面入射面酸化膜18側に押しやられるようなビルトインポテンシャルが形成されている。図2の実線はポロンはイオン注入して良好なビルトインポテンシャルを形成した場合であり、裏面入射面付近で生じた信号電荷も、CCDのポテンシャル井戸21の方向に移動しやすくなっている。

【0006】 上記のようなCCDイメージセンサを製造するための具体的な裏面プロセスは、従来は以下のように行われている。

【0007】 まず、A1配線まで含めた通常のCCDを作るプロセス（表面プロセス）を終了し、プローブ検査で良品チップか否かを判定する。次に、裏面にシリコン空化膜をデポジションし、このシリコン空化膜はケミカルエッティング液のマスクとする。そこで、エッティング時にチップの周辺部がフレーム状に厚く残るよう、周辺部のシリコン空化膜を残して、他の部分のシリコン空化

膜をプラズマエッティングする。そして、CCDが形成してあるシリコンの裏面を、シリコン空化膜をマスクとしてケミカルエッティングする。

【0008】次に、裏面すなわち入射面に、シリコン酸化膜をプラズマCVDでデポジションする。このシリコン酸化膜は、イオン注入のためのバッファー膜、及び反射防止膜として機能する。そして、ボロンのイオン注入を行い、イオン注入原子の活性化を行う。

【0009】次に、上記のようにしてCCDが形成されたウエファを、ダイシングテープに張り付ける。そして、フルカットのダイシングを行ない、このようにして分割されたCCDイメージセンサのチップを、セラミックパッケージに組み付ける。そして、ワイヤーボンディングを行い、プローブ検査を行う。

【0010】

【発明が解決しようとする課題】以上に示したように、裏面入射型CCD製造の裏面プロセスでは、ゲート酸化膜が形成してあるCCD表面を他の物体に接触させて処理することも必要とされ、このためゲート酸化膜が静電破壊されることがよくあった。特に上記のプロセスにおいて、裏面のケミカルエッティングからワイヤーボンディングまでの工程は、CCDが形成してある面（すなわちゲート酸化膜がある面）を下にして置いたり、CCDが形成してある面を他の物体の張り付けたりするので、ゲート酸化膜の破壊が生じやすい工程である。

【0011】このようにプロセス中で生じる静電破壊を防ぐため、従来からいくつかの方法が提唱されている。特開昭61-121080号に於いては、各電極配線を相互接続しておき、最終プロセスで相互接続を切り放すことで破壊を防止する方法が記されている。また特開昭63-157471号に於いては、ゲート電極に接続されているポリシリコン配線は、基板または保護ダイオードに接続することとされており、やはり最終プロセスで切り放すことで破壊を防止するという方法が記されている。

【0012】ただし、これらの方法は、素子構造が簡単で高歩留まりが期待できるデバイスの製造プロセスにしか適用できない。たとえば組み立て終了後に、短絡箇所や保護回路に接続されていた余分な配線を切り放し、検査を行うとすれば、チップ良否の判定がされる前であるから、チップの全数を組み立てる必要がでてくる。この時、もしチップの歩留まりが低いと、全工程の終了後に不良品として捨てるべきものが増えるわけで、大変に効率が悪い。

【0013】一方、良品チップだけをイメージセンサとして組み立てるためには、組み立て前にプローブ検査を行い、チップの良否の判定を行わなくてはいけない。従って、この様な手順を踏んだ場合には、その後の作業であるダイシングや組み立て作業中に起こる静電破壊を防ぐことはできない。

【0014】以上より、すでに開示されている従来の方法では、製造上の歩留まりが高いと期待される通常の半導体素子にしか適応できず、CCDイメージセンサにおいて、ましてや製造上の歩留まりの低い裏面照射型CCDイメージセンサにおいて、前述した静電破壊対策を使用するのは困難である。

【0015】本発明は、ゲート構造を持つCCD（特に裏面入射型CCD）の製造プロセスにおいて、裏面プロセスから組立工程に至るまで、つまりメタル配線終了時から後のプロセスに至るまでの間で、静電気によるゲート絶縁膜の破壊を無くし、ゲート絶縁膜を有効に保護することにより取り扱いの容易さ及び歩留まりを向上させ、又組み立てに関わるコストを最小限に抑えられる製造方法を提供する事を目的とする。

【0016】

【課題を解決するための手段】本発明に係る半導体デバイスの製造方法は、半導体チップの表面側に光電変換部と電荷転送用の電極を含むCCD部を形成すると共に、このCCD部に接続された複数のボンディングパッドを形成する第1の工程と、半導体チップの表面側に、複数のボンディングパッドを短絡するメタル層を形成する第2の工程と、半導体チップの周辺領域に囲まれた少なくとも光電変換部に対応する領域を裏面から薄化する第3の工程と、半導体チップをパッケージにマウントし、該パッケージの端又とボンディングパッドとの間をボンディングする第4の工程とボンディングパッドとメタル層の短絡箇所を切断して裏面照射型CCDイメージセンサとする第5の工程とを備えることを特徴とする。

【0017】なお、上記第1工程の後にプローブ検査でチップごとにCCDの良否を判別することとし、その後、良品のチップのみについてパッケージにマウントするための後工程をなしてもよい。

【0018】

【作用】本発明によれば、ボンディングパッドがメタル層で短絡された後に、裏面プロセスと組み立てプロセスが実行されるので、静電気によりCCD部のゲート酸化膜が破壊されることがない。また、メタル層によるボンディングパッドの短絡の前にプローブ検査をすることで、良品チップのみについてパッケージへの組み立て工程を実行できる。さらに、メタル層でCCD部を覆うようにすると、電磁波シールド等によってローノイズ化が可能になる。

【0019】

【実施例】具体的な実施例の説明に先立ち、本発明の概要と原理について、簡単に説明する。

【0020】まず、プロセス中にCCDを構成するゲート酸化膜が破壊されるのを避けるのに一番効果的で、しかも簡単に実施できる方法は、CCDチップ上のボンディングパッドを全て短絡しておくことである。しかし、全てを短絡しなくても、たとえば特定のパッドを選択的

に短絡することでも、ゲート酸化膜の破壊防止いう目的が達せられるのは当然である。

【0021】一方、チップに分割した後のイメージセンサの組み立て作業は、良品チップのみについて行うようにしたい。なぜなら、イメージセンサの組み立て材料であるセラミックパッケージはコスト高であり、組み立てのための入件費は非常に高いからである。このため、CCDが完成した段階でプローブ検査を行うようにしたい。それには、一層目のメタル配線が終了した状態でCIDIとしての動作は可能であるように設計が成されており、その段階でプローブ検査を行い、チップの良否の判定を行っておき、その後に二層目のメタル配線プロセスを進めるという方法がよい。

【0022】従って、二層目のメタル層はゲートプロテクション（ゲート酸化膜の保護）のために用いられ、このためボンディングパッドを全て短絡することのできるマスクである。

【0023】更に、この二層目のメタル層は、ボンディングパッドより内側のチップ面を全て、いわゆる「ベタ」で覆ってしまっても良い。裏面入射型CCDイメージセンサは計測用途であるので、究極のローノイズ特性が要求される。この時、CCDチップ内に於いてグランド配線が細いと、電流が流れることによって電位勾配が生じ、出力信号にノイズとして乗ってくる。従って、計測用でローノイズが必要な裏面入射型CCDでは、太いA1配線が必要であり、いわゆる「ベタ」層はこの目的にかなっている。

【0024】更に、CCD部分を「ベタ」メタルとしてグランドに落としておけば、外部から入ってくる電磁波を有効にカットでき、ローノイズCCDが実現可能になる。また、受光部（CCD部分）を「ベタ」メタルで覆ってしまっても、裏面入射型CCDイメージセンサでは、文字どおり裏面から入射を行うので邪魔にならない。

【0025】ところで裏面入射型CCDイメージセンサに於いて、グランド回りの強化を一層目のA1配線で行うのは困難である。なぜならば、一層目のA1配線はすでにクロックラインや電源ライン等に用いられており、グランド回りの強化に使用することはできない。従って裏面入射型CCDでは、グランド回りの強化のために、二層目のA1配線（メタル層）はどうしても必要であり、二層目A1配線でボンディングパッド間の短絡を行つたとしても、新たなプロセスは増えない。

【0026】本発明は、上記のような着想と原理にもとづきなされた。次に、図面に従い、一実施例のプロセスを説明する。

【0027】まず、一層目A1配線までのプロセス（表面プロセス）を行う。この段階でCCDは動作可能である。埋め込みチャンネル型CCDの場合の平面構造は図3のようになっており、その出力部周辺の断面構造は、

図4の様になっている。なお、図3と同じ部分には同じ符号がつけられている。この構造と動作を簡単に説明する。基板としてはP/P+型エピタキシャル成長ウエーファを使用し、このP型エピタキシャル層1の中にN型ウェル2が形成してある。動作時には、P型エピタキシャル層1がグランドレベルとされ、N型ウェル層2には+12Vが与えられている。N型ウェル2内にはN+型拡散層3、4が形成され、それぞれリセットドレイン、フローティングディフュージョンと呼ばれる。通常の駆動では、転送クロックは0V～+12Vの振幅とされ、転送電極5、6、7に与えられる。転送クロックがハイレベルの状態では、ゲート酸化膜を介して電圧がN型ウェル層2に加えられ、信号電荷を蓄積したり転送するための、いわゆるポテンシャル井戸が形成される。アウトプットゲート8には+7Vの直流電圧が与えられ、このアウトプットゲート8を通じて信号電荷はフローティングディフュージョン4に注入される。フローティングディフュージョン4は負荷抵抗12に接続された出力FETのゲート13に接続されており、信号電荷はインピーダンス変換されて出力される。なお、ソースフォロワー回路のドレイン電極11には+15Vが与えられる。信号読みだしが終了すると、リセットゲート電極9に正パルスが加えられてリセットゲート9がオンし、フローティングディフュージョン4はリセットドレイン電圧である+12Vにリセットされる。

【0028】次に、図5(a)、(b)に示すように、CCDチップのボンディングパッド22にプローブ23を当て、プローブ検査を行ない、CCDとしての動作が正常か否かの判定をする。なお、図5(a)の平面構造は図3と同じであり、図5(b)はその断面模式図なので説明を省略する。

【0029】次に、図6(a)、(b)の様に、2層目A1配線を行う。尚、この2層目A1層（短絡用配線20、2層目メタル配線24）でボンディングパッド22は全て接続され、更に「ベタ」A1の部分24は後にグランド配線回りの強化にも使用される。

【0030】次に、チップの裏面に窒化シリコンをデポジションする。窒化シリコン膜はシリコンケミカルエッチング時のマスクである。尚、ここで裏面にシリコン窒化膜をデポジションするためには、どうしてもゲート酸化膜のあるチップ表面がプラズマエッチャーチャンバーを構成する金属に接触させられる。このため、プラズマエッチャーチャーの接地が悪く装置が何等かの電位にあったり、スピンドライ直後でCCDが形成してあるシリコンウエーファが帶電していたりすると、従来構造では、ゲート・基板間やゲート・ドレイン（ソース）間に思わぬ電位差が生じ、ゲート酸化膜を破壊した。しかし、本実施例の構造では、すべてのボンディングパッド22間はアルミニウム配線20、24で確実に短絡されているので、ゲート酸化膜に電位差が生じることが無く、従って

破壊することも無い。

【0031】更に次の工程で、チップの裏面の周辺部は、中央の毒化部の保護の為にフレーム状に厚いまま残す必要がある。そこで、フレーム状に残すチップ周辺部分の窒化シリコン膜（マスク）は残したままとし、光などの入射部になるチップの裏面中央部分はシリコン空化膜を除去する。このため、プラズマエッチャーや内で、このチップ中央部分のエッティングが行われる。この時、従来の方法では、前述と同じ理由によりゲート酸化膜が静電気で破壊されることがあったが、本発明ではボンディングパッド22間を短絡しておくことによって、ゲート酸化膜の破壊を防ぐことができるようになった。

【0032】次に、CCDチップの裏面のケミカルエッティングを行なう。すなわち、通常のシリコン基板の厚みは400～500μmあるので、そのままでは裏面入射には使えず、裏面の入射面付近で発生した信号電荷の移動距離を短くして信号電荷の再結合を少なくし、又横方向の信号電荷の拡散を抑えて解像度を低下させないことが大切である。そこで、シリコン基板をメカニカル又はケミカルに薄形化して、裏面入射面から表面CCDのボテンシャル井戸までの距離を、およそ15～20μmとしている。所定の厚みまでエッティングできたら、ボロンイオン注入のためのバッファー酸化膜をプラズマCVDでデポジションする。このバッファ酸化膜は後に反射防止膜としても使用される。

【0033】次に、裏面入射面にボロンをイオン注入する。そして注入原子の活性化を行う。CCDにはすでにA1配線が施してあるので、A1の融点以下の熱処理が必要であり、具体的には500°C以下である。但し、ここではアキュムレーションのための裏面活性化は、イオン注入後に低温電気炉アニールを行う場合を説明しており、他にイオン注入後にエキシマレーザーアニールを行う、またはワイドバンドギャップ半導体材料を薄くデポジションするなどの方法が適用可能である。この工程がいわゆるアキュムレーションであり、ボロン注入によるビルトインボテンシャルによって、信号電荷がCCDの方向に移動しやすくなる。

【0034】次に、CCDが形成してあるウエハを、ダイシングテープに張り付ける。この工程でもCCDを形成するゲート酸化膜が、すでに帶電している可能性があるダイシングテープに接触されるが、ボンディングパッド22を短絡しておくことによって、ゲート酸化膜の破壊を防ぐことができる。

【0035】次に、ウエハのダイシングを行う。従来構造のダイシングでは、超純水の吹き付けによる帶電から、ゲート酸化膜が破壊するのを防ぐ為、やむをえず水量を落とし、そのためCCDチップがダイシングの切りくずで汚れてしまうこともあった。しかし本発明のように、ボンディングパッド間を短絡しておくことによって、ゲート酸化膜の破壊を防ぐことができるので、抵抗

率が十分に高い超純水を、チップが汚れないような流量でもって使用することが可能である。

【0036】次に、ダイシングされたCCDチップを図7(a), (b)のようにセラミックパッケージ28に組み込み、ワイヤー26によってチップのボンディングパッド22とパッケージ28の端子29の間のワイヤーボンディングを行う。この段階では、まだ各ボンディングパッド22は短絡されたままである。なお、ワイヤーボンディングに限らず、例えばバンブボンディングを採用してもよい。

【0037】次に、レーザーカッターでボンディングパッド22を短絡しているA1配線20を切断する。この作業後、再び各ボンディングパッド22は電気的に独立になり、CCDは動作可能になる。同時にゲート酸化膜の静電破壊を保護する機能も失われるが、もはや全てのプロセスは終了しているので問題ない。図8(a), (b)が、短絡部をカットした後の状態（27がその部分）を示している。2層目A1の他の部分24はそのまま残し、CCDのグランドラインとして使用される。そして、最終検査を行う。

【0038】

【発明の効果】以上に示したように、裏面プロセスが始まる前に一度プローブ検査を行い、チップの良否の判定を行い、その後各ボンディングパッド間を金属配線を利用して接続しておけば、CCDゲート酸化膜が帶電物に接触しても、ゲート酸化膜には電圧が加わらないので、ゲート酸化膜が破壊することは無い。そしてすべてのプロセスが終了した後、良品チップだけを組み立てし、最後にレーザーカッターを用いて、前述した配線を切断し、CCDとして動作できるようにする。例えば配線材料が一番良く用いられるA1ならば、YAGレーザーカッター（1.06μm）で1パルス照射すれば十分に切断可能である。このようなプロセスを経ることで、CCDが正常に動作できる良品チップだけを組み立て、更に裏面プロセスや組み立てプロセス時に於いては、静電破壊から保護が成されているので、不良チップを新たに発生することではなく、裏面入射型CCDの組み立てコストの低減及び歩留まり向上が可能になった。

【図面の簡単な説明】

【図1】裏面入射型チップの断面図。

【図2】アキュムレーションを説明する図。

【図3】裏面入射型チップの平面図。

【図4】図3のチップの出力部の構成図。

【図5】プローブ検査の説明図。

【図6】ボンディングパッド短絡の説明図。

【図7】パッケージへのマウントの説明図。

【図8】短絡部の切断の説明図。

【符号の説明】

1…P型エピタキシャル成長層、2…N型ウェル層、3…N⁺型拡散層（リセット・ドレイン）、4…N⁺型拡

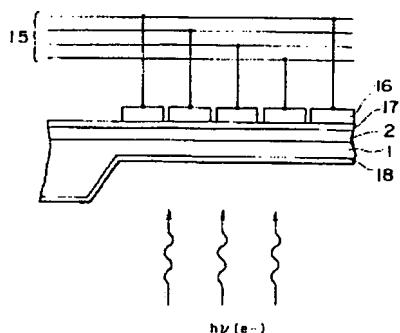
9

散層（フローティング・ディフージョン）、5、6、7…転送電極、8…アウトプットゲート、9…リセットゲート、10…リセットドレイン、11…フローティング・ディフージョン電極、12…負荷抵抗、13…ゲート、14…ボンディングパット間の短絡、15…転送電極、16…ポリシリコン電極、17…ゲート酸化膜、18…裏面入射面酸化膜。

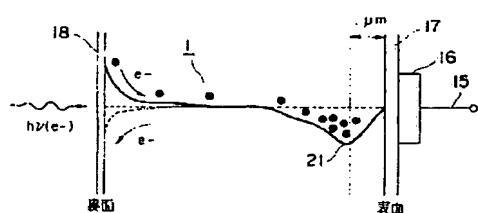
10

8…裏面入射面酸化膜、19…ボンディングパット間の短絡、20…短落用配線、21…CCDポテンシャル井戸、22…ボンディングパット、23…プローブ、24…2層目メタル配線、25…肩間絶縁層、26…ボンディングされたワイヤ、27…配線の切断、28…セラミックパッケージ。

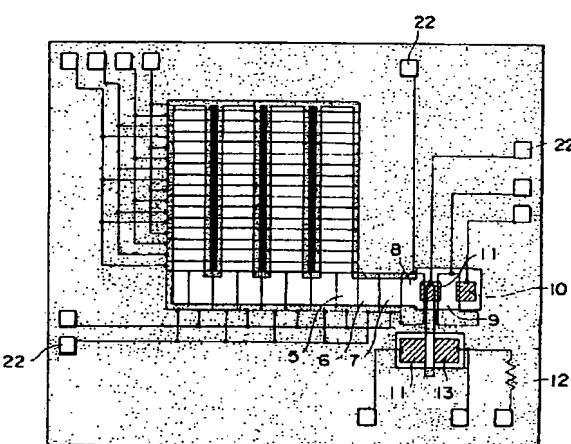
【図1】



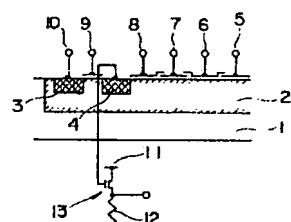
【図2】



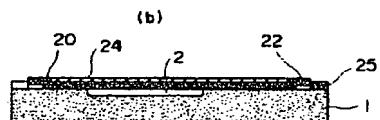
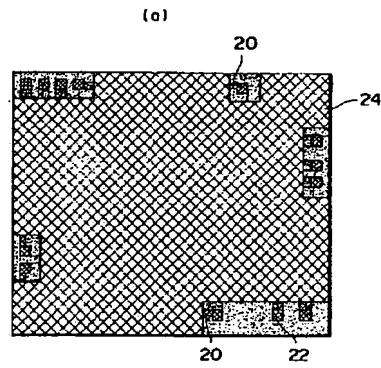
【図3】



【図4】

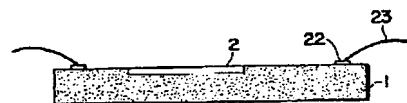


【図6】

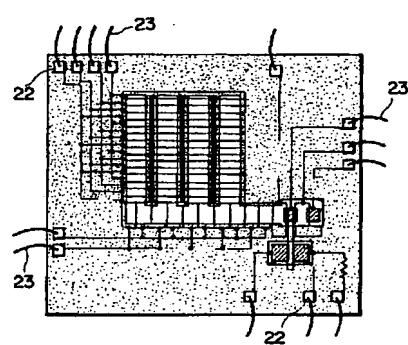


【図5】

(a)

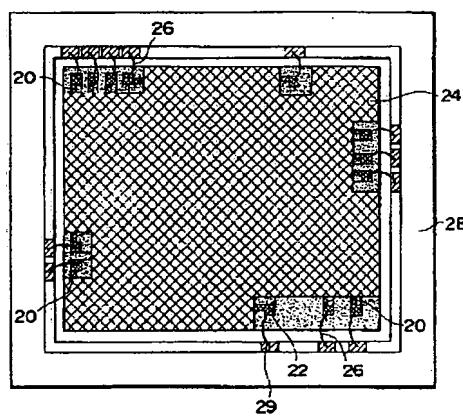


(b)

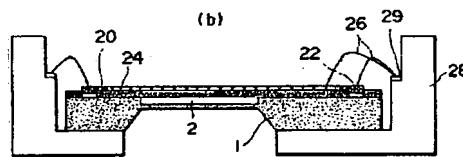


【図7】

(a)

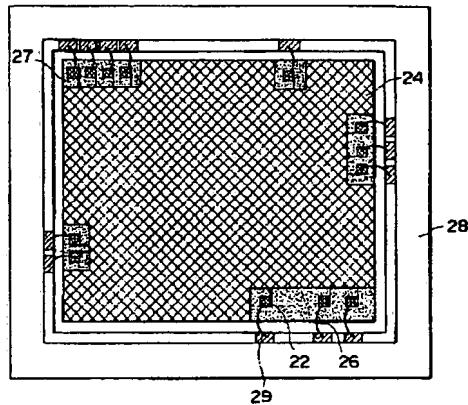


(b)



【図8】

(a)



(b)

